

PAT-NO: JP361098003A  
DOCUMENT-IDENTIFIER: JP 61098003 A  
TITLE: SIGNAL GENERATING CIRCUIT  
PUBN-DATE: May 16, 1986

INVENTOR-INFORMATION:  
NAME  
HAGIWARA, SHIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
HITACHI LTD N/A

APPL-NO: JP59218468

APPL-DATE: October 19, 1984

INT-CL (IPC): H03B028/00, G10K015/04 , H03K004/02

US-CL-CURRENT: 327/129

ABSTRACT:

PURPOSE: To generate a pseudo sine wave by a simple circuit by the use of a 4-bit PCM pattern generating means which generates an AC wave that the sine curve of a sine wave is approximated with a parabola.

CONSTITUTION: The output state of a shift register SR is initially (0000) and the output Vout of an operational amplifier OA is set to 0V; the output state becomes (1000), only a switch S<SB>1</SB> is connected to the side of a reference amplifier RA, and Vout becomes Vref/2; and the output state becomes (1100) and Vout becomes 3/4Vref. Further, Vout becomes 7/8Vref, Vref, Vref7/8Vref, 3/4Vref, and Vref/2, and 0 successively, then the output of the

reference amplifier RA is inverted, and a negative reference voltage  $-V_{ref}$  is outputted instead of  $V_{ref}$ . Thus,  $V_{out}$  is smoothed through a filter and an AC signal having a parabolic waveform approximated to a sine curve is outputted.

COPYRIGHT: (C)1986, JPO&Japio

## ⑫ 公開特許公報(A)

昭61-98003

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月16日

H 03 B 28/00  
G 10 K 15/04  
H 03 K 4/02A-8326-5J  
H-6507-5D  
7259-5J

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 信号形成回路

⑮ 特 願 昭59-218468

⑯ 出 願 昭59(1984)10月19日

⑰ 発 明 者 萩 原 史 郎 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

発明の名称

信号形成回路

特許請求の範囲

1. D/A変換器と、このD/A変換器内の切換えスイッチに供給されたときそのD/A変換出力に、接地電位と基準電圧の電位差を $(2^m - 1)$ ; $2^m$  (ただし $m$ は整数)なる比で分割したような電圧を発生させるビット・パターンを形成するパターン発生手段とを備え、擬似正弦波を出力するようにされてなることを特徴とする信号形成回路。

2. 上記パターン発生手段は、最初のビットもしくは最後のビットから他端のビットに向かって順番に各ビットが“1”もしくは“0”にセットされて行くように動作するシフトレジスタにより構成されていることを特徴とする特許請求の範囲第1項記載の信号形成回路。

発明の詳細な説明

〔技術分野〕

この発明は、信号形成技術さらには正弦波のよ

うな交流信号の形成に適用して特に有効な技術に関し、例えば電話回線網における呼出音発生のための正弦波信号の形成に利用して有効な技術に関する。

〔背景技術〕

従来、電話回線網における交換機から加入者線端末の電話器への呼出音の発生は、交換機内に設けられた400Hzのような正弦波を発生する発振器にリレー等を用いて各加入者線を接続させることで行なっていた。

ところで、近年、電話回線網ではパーチャネルCODEC(符号器・復号器)と呼ばれるLSI(大規模集積回路)が使用されている。従って、このCODECの中にリレーに代わるようなスイッチ素子を設け、CODECを通して各加入者線へ呼出音を発生させる正弦波信号を供給できるようにするとコストおよびスペース効率の面で都合がよい。しかしながら、CODECは規格によって8kHzのクロックで動作されるようにされている。そのため、外部の発振器から出力される4

00Hzの正弦波をCODEC内のA/D変換器が8kHzのクロックでサンプリングして符号化し、それをD/A変換して電話器へ送るようにすると、上記正弦波とサンプリング・クロックは別別の発振器で発生されるため、周波数にずれが生じ、完全に同期化をとることが極めて難しい。そのため、電話器の呼出音にうなりが発生し、非常に耳障りな音になるという問題点がある。

そこで、本発明者は、CODECの内部にD/A変換器で正弦波を形成するのに必要なPCMパターンを記憶したROM(リード・オンリ・メモリ)を設け、このROMからPCMパターンを順番に読み出してD/A変換させて正弦波を形成し、これを各加入者線に供給できるようにすることによって、CODECの内部で呼出音発生のための正弦波を発生させる方式を考えた。これによって、呼出音発生用の発振器に各加入者線を接続させるためのリレーを設ける必要をなくすとともに、呼出音にうなりを生じさせないようにすることができる。

な特徴については、本明細書の記述および添付図面から明かになるであろう。

#### 〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、電話の呼出音を発生させる正弦波のような信号は、それが正確な正弦波でなくてそれに近い交流波であれば、それによって呼出音を発生させたとき、人間の耳には正弦波とほぼ同じように聞えるということを知見し、これに基づいて正弦波のサインカーブを放物線で近似させたような交流波を形成する例えば4ビットのPCMパターンを発生する手段を設け、このPCMパターンをD/A変換させることで擬似的な正弦波を発生できるようにして、8ビット×20ワードのような大きな容量のROMを設けることなく、簡単な回路で例えば電話回線網における呼出音発生のための信号のような交流信号を形成できるようにし、さらにこれをCODECのようなLSIに内蔵させることによって、それほどチップサイズを増大

ししながら、上記のようにROMを用いて正弦波形成用のPCMパターンを発生させる方式では、8kHzのクロックで動作するCODECから400Hzの呼出音用の正弦波を発生させるには、例えば内部のD/A変換器のビット数に合わせて8ビットのPCMパターンを20個ROMに記憶させておく必要がある。そのため、ROMの容量が大きくなり、これを内蔵するCODECのようなLSIのチップサイズが増大されてしまうという不都合があることが分かった。

#### 〔発明の目的〕

この発明の目的は、擬似的な正弦波を簡単な回路で形成できるようにした信号形成技術を提供することにある。

この発明の他の目的は、チップサイズをそれほど増大させることなく、電話回線網における呼出音発生のための正弦波形成機能をCODECのようなLSIに内蔵させることができるようにすることにある。

この発明の前記ならびにそのほかの目的と新規

させることなくLSIの高機能化を図ることができるようにするものである。

#### 〔実施例〕

第1図は、本発明に係る交流信号発生回路の一実施例を示すもので、図面に示されている回路はMOS集積回路化されるのに適した実施例である。

第1図においては、その出力電圧が反転入力端子(-)に印加されるように接続されたオペアンプOAと、このオペアンプOAの非反転入力端子(+)に互いに並列に接続された4個のキャパシタ $C_1 \sim C_4$ と、この各キャパシタ $C_1 \sim C_4$ と回路の接地点との間に接続された切換え型スイッチ $S_1 \sim S_4$ および上記オペアンプOAの非反転入力端子(+)と接地点との間に接続されたりセット用のスイッチ $S_0$ とによって、D/A変換回路が構成されている。

上記キャパシタ $C_1 \sim C_4$ は、そのうち $C_3$ と $C_4$ とは同じ大きさの容量値を持ち、 $C_2$ は $C_3$ 、 $C_4$ の2倍、 $C_1$ は $C_3$ 、 $C_4$ の4倍の容量値を持つように形成される。

上記各切換スイッチ $S_1 \sim S_4$ は、それぞれ2つの接点を有するようにされ、一方の接点の端子に接地電位(0V)が印加され、また他方の接点の端子には、基準電圧供給用のリファレンス・アンプRAから供給される基準電圧 $V_{ref}$ もしくは負の基準電圧 $-V_{ref}$ が印加されるようにされている。上記スイッチ $S_1 \sim S_4$ は、例えばそれぞれ一对のMOSFETにより構成することができる。

さらに、この実施例では、特に制限されないが、4ビット構成のシフトレジスタSRと、そのキャリー信号Cによって“1”、“0”の反転が行なわれるフリップフロップ等からなるフラグFとが設けられている。そして、上記各切換スイッチ $S_1 \sim S_4$ は、シフトレジスタSRの各ビット出力によって切換え動作され、接地電圧もしくはリファレンス・アンプRAの出力電圧( $V_{ref}$ もしくは $-V_{ref}$ )をキャパシタ $C_1 \sim C_4$ の一方の端子に印加させるようになっている。

上記シフトレジスタSRは、これをシフト動作

特に制限されないが、シフトレジスタSRの各ビットが“0”のとき、スイッチ $S_1 \sim S_4$ の接点は接地電位側に接続され、シフトレジスタSRの各ビットが“1”のときスイッチ $S_1 \sim S_4$ の接点はリファレンス・アンプRAの出力電圧側に接続が行なわれるようになっている。

また、リファレンス・アンプRAは、フラグFの状態によってその切換えが行なわれ、例えばフラグFが“0”にセットされていると、リファレンス・アンプRAはこれに供給された基準電圧 $V_{ref}$ の符号を反転しないでそのままスイッチ $S_1 \sim S_4$ を介してキャパシタ $C_1 \sim C_4$ の端子に印加する。しかして、フラグFが“1”にセットされると、リファレンス・アンプRAは、供給されている基準電圧 $V_{ref}$ の符号を反転して $-V_{ref}$ の電圧を発生し、そのときオンされたスイッチ $S_1 \sim S_4$ を介してキャパシタ $C_1 \sim C_4$ の端子に印加するようになっている。

上記リファレンス・アンプRAは、例えば反転

させると最初のビット(MSB)もしくは最後のビット(LSB)から他端のビットに向かって順番に各ビットが“1”もしくは“0”にセットされ、他端に達すると逆方向に向かって今度は各ビットが順番に“0”もしくは“1”にセットされて行くように構成されている。つまり、このシフトレジスタSRは、第1表に示すような順序で各ビットパターン $B_0 \sim B_9$ を発生するように構成されている。

第1表

$B_0$	0	0	0	0
$B_1$	1	0	0	0
$B_2$	1	1	0	0
$B_3$	1	1	1	0
$B_4$	1	1	1	1
$B_5$	1	1	1	1
$B_6$	1	1	1	0
$B_7$	1	1	0	0
$B_8$	1	0	0	0
$B_9$	0	0	0	0

増幅器と、その入出力端子間を短絡可能な切換えスイッチとで構成し、フラグFが“0”のときは入出力端子間を直結して反転増幅器を切り離し、またフラグFが“1”のときは反転増幅器とすることにより、基準電圧 $V_{ref}$ もしくはその反転出力 $-V_{ref}$ を供給させるように構成することができる。

次に上記実施例の交流信号発生回路の動作について説明する。

まず、最初にシフトレジスタSRおよびフラグFが“0”にリセットされ、リファレンス・アンプRAから正の基準電圧 $V_{ref}$ がキャパシタ $C_1 \sim C_4$ に向かって供給されている状態で、例えば8kHzのようなクロック $\phi_c$ によってシフトレジスタSRを動作させる。また、シフトレジスタSRの全ビットが“0”にされるタイミングでリセット用スイッチ $S_0$ をオンさせるようリセット信号 $\phi_r$ をスイッチ $S_0$ に入れておく。

これによって、シフトレジスタSRの出力状態が“0000”(第1表のビットパターン $B_0$ に相

当)にされるとき、先ずリセット信号 $\phi_r$ によってスイッチ $S_0$ がオンされてキャパシタ $C_1 \sim C_4$ の電荷が引き抜かれ、オペアンプO Aの非反転入力端子(+)が接地電位にされてから、スイッチ $S_1 \sim S_4$ の接点がすべて接地点側に接続される。

そのため、オペアンプO Aの出力は、最初0 Vにされる。次にシフトレジスタS Rの出力状態が“1 0 0 0”にされると、スイッチ $S_1$ の接点のみがリファレンス・アンプR A側に接続される(第1図はこの状態を示す)。これによって、キャパシタ $C_1$ の一方の端子には、リファレンス・アンプR Aの出力電圧 $V_{ref}$ が印加される。また、他のキャパシタ $C_2 \sim C_4$ の接点はそのまま接地点側に接続されている。その結果、オペアンプO Aの非反転入力端子(+)の電位は、電圧 $V_{ref}$ と接地点との間の電位差を、キャパシタ $C_1$ の容量( $C_3$ の4倍)とキャパシタ $C_2 \sim C_4$ の容量の総和 $4C_3 (= 2C_3 + C_3 + C_3 + C_4)$ との比(この場合1:1)で分割した $V_{ref}/$

2にされ、オペアンプO Aの出力電圧 $V_{out}$ は $V_{ref}/2$ になる。

続いて、シフトレジスタS Rの出力状態(ビット・パターン)が、“1 1 0 0”に変化されると、スイッチ $S_1$ と $S_2$ がリファレンス・アンプR Aの出力側に接続されるため、オペアンプO Aの非反転入力端子(+)の電位は、 $V_{ref}$ をキャパシタ $C_1$ と $C_2$ の容量の和( $6C_3$ )と、キャパシタ $C_3$ と $C_4$ の容量の和( $2C_3$ )とで分割した $3/4 \cdot V_{ref}$ にされる。

このようにして、第1表の順序に従ってシフトレジスタS Rにより供給されるビット・パターンにより、スイッチ $S_1 \sim S_4$ が $S_1$ の側から順番にオンされて行くと、オペアンプO Aの出力電圧 $V_{out}$ は、第2図に示すように、0 (V),  $1/2 \cdot V_{ref}$  (V),  $3/4 \cdot V_{ref}$  (V),  $7/8 \cdot V_{ref}$  (V),  $V_{ref}$  (V)  $7/8 \cdot V_{ref}$  (V), ……と変化する。

シフトレジスタS Rのビット・パターンが再び“0 0 0 0”に戻ると、リセット用スイッチ $S_0$ が

オンされてオペアンプO Aの非反転入力端子(+)の電位が一旦接地電位にされるとともに、フラグFが“1”にセットされるため、リファレンス・アンプR Aが反転されて負の基準電圧 $-V_{ref}$ が出力されるようになる。そのため、オペアンプO Aの出力電圧 $V_{out}$ は上記とは逆に負の方向に向かって $-1/2 \cdot V_{ref}$ ,  $-3/4 \cdot V_{ref}$ ,  $-7/8 \cdot V_{ref}$  ……と変化して行く。

このオペアンプO Aの出力電圧 $V_{out}$ (階段波形)を、フィルタを通してなめらかにしてやることにより、第2図に点線で示すように、サインカーブに近似した放物線波形をなす交流信号が出力される。上記の場合、シフトレジスタS Rは8 k H zのクロック $\phi_c$ で動作され、20個のビット・パターンを発生して一巡するので400 H zの交流信号が形成される。

上記のように、この実施例においては、D/A変換器を用いて正弦波の代わりにこれに近似した放物線波形の交流信号を発生させるようにしたので、5種類のビット・パターンを単純な規則性で

発生させればよい。そのため、8ビット×20ワードのような大きな容量のROMを使わないで、単に4ビット構成のシフトレジスタでそのようなビット・パターンを発生させることができる。その結果、簡単な回路構成で、例えば電話回線網において呼出音を発生させる交流信号を形成してやることができ、この回路をCODEC等のLSIチップに内蔵させても、チップサイズをほとんど増大させることがない。

さらに、CODEC内には、D/A変換器とフィルタとが設けられているので、それを利用すれば単に第1図に示すシフトレジスタS RとフラグFおよびリファレンス・アンプR Aを追加してやるだけで、呼出音発生用の交流信号を形成する機能を付加することができる。

その場合、内蔵D/A変換器は8ビット構成にされているので、LSB側の5つのキャパシタが第1図におけるキャパシタ $C_4$ と等価的に扱われるようにシフトレジスタの出力を各切換えスイッチに供給するように構成してやればよい。

また、シフトレジスタSRを独立に設ける代わりに、CODECに内蔵されているクロックジェネレータのような同期信号形成回路を用いてビットパターン $B_0 \sim B_9$ を発生させてもよい。

ただし、CODECを用いた電話回線網では、CODECの他にCODECと加入者線との間のインタフェースを行なうインタフェース用LSIやそれらのLSIをコントロールするコントロール用LSI等が設けられるので、上記実施例の交流信号発生回路は、CODEC内ではなくそのインタフェース用LSIやコントロール用LSI内に設けるようにしてもよい。

なお、上記実施例では、重みの異なる4個のキャパシタを有するようにされたD/A変換器を用いて交流信号発生回路を構成したものについて説明したが、キャパシタ $C_1 \sim C_4$ の代わりに、これを重み抵抗で置き換えて抵抗分割で $1/2 \cdot V_{ref}$ ,  $3/4 \cdot V_{ref}$ ,  $7/8 \cdot V_{ref}$ なる電圧を発生させるようにしてもよい。つまり、この発明は、任意の型式のD/A変換器を用いて

構成することができる。

また、上記実施例では、負の電圧を発生させるためリファレンス・アンプRAを設けているが、このリファレンス・アンプRAの代わりにオペアンプOAの非反転入力端子(+)と基準電圧 $V_{ref}$ との間にスイッチを接続し、このスイッチを前記リセット用スイッチ $S_0$ と相補的にオン・オフさせるような適当なタイミング信号を形成して動作させることによって、リファレンス・アンプRAを省略できるようにすることも可能である。

また、上記シフトレジスタSRおよびD/A変換器は4ビット構成にされているが、それに限定されるものでなく、5ビットや6ビット構成等であってもよい。

#### 【効果】

D/A変換器と、このD/A変換器内の切換えスイッチに供給されたときD/A変換器の出力に、接地電位と基準電圧の電位差を $(2^m - 1)/2^m$  (ただし $m$ は整数)なる比で分割したような電圧を発生させるビット・パターンを形成するパター

ン発生手段(シフトレジスタ)とを用いて信号形成回路を構成したので、正弦波のサインカーブを放物線で近似させたような擬似的な正弦波を発生できるという作用により、正弦波を形成するビット・パターンを記憶するような大きな容量のROMを設けることなく、簡単な回路で例えば電話回線網における呼出音発生のための交流信号を形成できるようになる。また、これによって、それほどチップサイズを増大させることなくCODECのようなLSIの高機能化を図ることができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例ではパターン発生手段としてシフトレジスタを用いているが、シフトレジスタの代わりにROMを用いてこれに擬似正弦波を形成する4ビットのパターンを記憶させておくようにしてもよい。

#### 【利用分野】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるCODECにおける呼出音発生のための交流信号(正弦波)の形成に適用したものについて説明したが、それに限定されるものでなく、正弦波の発生を行なうアナログ集積回路一般に利用することができる。

#### 図面の簡単な説明

第1図は、本発明に係る擬似正弦波を発生する信号形成回路の一実施例を示す回路構成図。

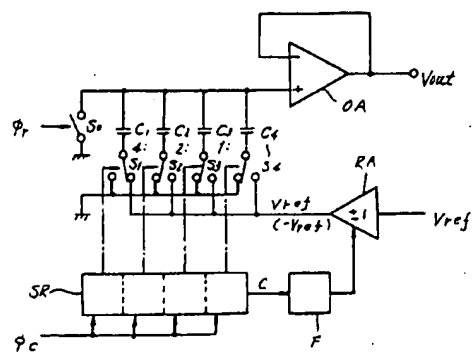
第2図は、その出力波形を示す波形図である。

OA……オペアンプ、 $C_1 \sim C_4$ ……キャパシタ、 $S_1 \sim S_4$ ……切換えスイッチ、SR……パターン発生手段(シフトレジスタ)、F……フラグ、RA……リファレンス・アンプ、 $V_{ref}$ ……基準電圧。

代理人 弁理士 高橋 明夫



第 1 圖



第 2 回

